

⑫ 公開特許公報 (A) 平2-130852

⑬ Int. Cl. 5

H 01 L 21/76
29/784

識別記号

E 7638-5F

⑬ 公開 平成2年(1990)5月18日

8422-5F H 01 L 29/78 301 X
8422-5F R

審査請求 未請求 請求項の数 8 (全7頁)

⑭ 発明の名称 半導体装置

⑮ 特 願 昭63-283579

⑯ 出 願 昭63(1988)11月11日

⑰ 発明者 峰 利 之 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑰ 発明者 飯島 晋平 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑰ 出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑰ 代理人 弁理士 小川 勝男 外1名

明細書

1. 発明の名称

半導体装置

2. 特許請求の範囲

1. 選択気相成長法により形成したシリコンの表面をアクティブ領域とする半導体装置において、該アクティブ領域表面がアイソレーション領域表面よりも上に形成されていることを特徴とする半導体装置。

2. アクティブ領域の側壁部の少なくとも一部が、トランジスタのチャネルの一部であることを特徴とする特許請求の範囲第1項記載の半導体装置。

3. 上記トランジスタのチャネル幅が、平面部に比べ側壁部分の方が長いことを特徴とする特許請求の範囲第2項記載の半導体装置。

4. 上記トランジスタのチャネル部となる面の結晶方位が、平面部および側面部とともに(100)面であることを特徴とする特許請求の範囲第3項記載の半導体装置。

5. 上記トランジスタのゲート絶縁膜が化学気相成長法により形成したSiO₂膜から成ることを特徴とする特許請求の範囲第4項記載の半導体装置。

6. 上記トランジスタのゲート絶縁膜が、ランプ加熱による1000°C以上の温度で形成されたSiO₂膜から成ることを特徴とする特許請求の範囲第4項記載の半導体装置。

7. 一つのスイッチング用トランジスタと、一つの電荷蓄積用キヤバシタを最小単位とする半導体装置において、上記スイッチングトランジスタが、素子分離絶縁膜表面より上に形成したシリコン島上に形成され、且つ上記電荷蓄積用キヤバシタの少なくとも一部が、上記シリコン島の側壁部と、上記スイッチングトランジスタの側壁部に形成されていることを特徴とする半導体装置。

8. 导体あるいは半導体表面に絶縁膜を形成する工程と、上記絶縁膜の所望の領域に開口部を設ける工程と、該開口部の底面に露出した上記導

体あるいは半導体表面から単結晶シリコン膜を上記絶縁膜表面より上まで選択的に成長させる工程と、該単結晶シリコン上にスイッチングトランジスタを形成する工程と、該スイッチングトランジスタ上に第2の絶縁膜を形成する工程と、上記スイッチングトランジスタの一方の拡散層の表面および側面を露出させる工程と該露出した拡散層より第2のシリコン膜を選択的に成長させる工程と、該第2のシリコン膜上に誘電体膜を形成する工程と、該誘電体膜上に導電膜を形成する工程とを少なくとも含んで成ることを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置に係り、特に選択気相成長を用いたアイソレーションを有する半導体装置およびその製造方法に関するもの。

〔従来の技術〕

半導体装置の素子分離技術として、LOCOS法が最も一般的に用いられてきた。しかし、この

この後、熱酸化法によりゲート絶縁膜6を形成し、しきい値電圧を調整するためのチャネル部へのイオン打ち込みを行う。次いで、減圧化学気相成長法により、シリコン膜を堆積した後、リン拡散法により、該シリコン膜にリンをドーピングする。この後、該シリコン膜をバターンニングして、ワード線7を形成する。最後に、ソース・ドレイン領域となる拡散層8を形成し、選択気相成長法を用いたアイソレーションを有するMOSトランジスタの形成を完了する。

上記、選択気相成長法を用いたアイソレーションは、溝埋込みアイソレーションに比べ、素子分離絶縁膜にウエットエッチングに対する弱い部分が無いこと、アクティブ領域形成の際にドライエッチングによる汚染やダメージが少ないと等の利点がある。

しかし、反面、素子分離絶縁膜2と単結晶シリコン5との界面24には、単結晶シリコン5のダングリングボンドや微小欠陥が無数に存在するなどの問題がある。したがつて、選択気相成長法を

LOCOS法では、素子間分離寸法0.8μm、MOSトランジスタのチャネル幅0.8μmが微細化の限界である。そこで、このLOCOS法に代わる素子分離方法として、選択気相成長を用いた素子分離法が注目されてきており、その具体的方法が特開昭58-168258号に記載されている。

〔発明が解決しようとする課題〕

以下、従来の一般的な選択気相成長法を用いたアイソレーションを有する半導体装置の具体例を第2図を用いて説明する。

まず、シリコン基板1上に素子分離絶縁膜2となる厚いSiO₂膜を、熱酸化法ないしは減圧化学気相成長法により形成する。次に、上記素子分離絶縁膜2をバターンニングして、所望の領域のシリコン基板1の表面が露出するような窓23、3を設ける。次いで、選択気相成長法を用いて、シリコン基板1表面露出部4より単結晶シリコン5を素子分離絶縁膜2表面と同じ位置まで成長させ、アクティブ領域およびアイソレーション領域の形成を完了する。

用いたアイソレーションを有するMOSトランジスタは、上記界面部24によるリーク電流があるため、制御が難しく実用化は困難となっていた。

本発明の目的は、上記問題を解決し、選択気相成長法を用いたアイソレーションを有する信頼性の高い半導体装置を提供することとともに、LSIの集成度を向上させることである。

〔課題を解決するための手段〕

上記目的は、前記選択気相成長法による単結晶Si膜を、素子分離絶縁膜表面より高い位置まで成長させることにより達成される。

〔作用〕

本発明では、単結晶Siと素子分離絶縁膜の界面領域をトランジスタのチャネル部として用いないため、安定したトランジスタ特性を得ることができる。また、トランジスタを立体構造とするため、集成度が向上するとともに、動作速度を速くすることが可能となる。

〔実施例〕

以下、本発明の第1の実施例を第1図を用いて

説明する。

まず、P型、比抵抗0.1Ω・cmのシリコン基板1上に熱酸化法を用いて、素子分離絶縁膜2であるSiO₂膜を約0.4μmの厚さに形成する。次に、周知のリソグラフィー及びドライエッティング技術を用いて、上記素子分離絶縁膜2のパターンニングを行い、所望の領域に窓3を形成し、シリコン基板表面4を露出させる。

次に、選択気相成長法を用いて、P型、比抵抗10Ω・cmの単結晶シリコン5をシリコン基板表面4より約0.6μmの厚さに成長させる。

本実施例においては、単結晶シリコン5の表面が、素子分離絶縁膜2の表面より約0.2μm高い位置になるようにした。また、単結晶シリコン4の選択気相成長は、ソースガスにSiH₄C₂H₂とHClを、ドーピングガスPH₃を、また、キャリアガスにH₂を用いて、1000℃の温度で形成した。なお、本実施例においては、素子分離絶縁膜2の表面より上へ成長した単結晶シリコン

膜5の側壁部の面方位が、(100)面となるようにした。

ここで、シリコンの選択気相成長においては、シリコンの気相エッティング速度に比べ、成長速度があまりに速すぎると、第3図に示すようなファセット5-2, 5-3が形成されやすくなる。このファセットである(111)面5-2, (111)面5-3は、周知のように、(100)面5-1に比べて表面電荷量が約1~1.5倍多いため、MOSトランジスタのチャネル部として用いることは好ましくない。また、このようなファセット5-2, 5-3が形成されると、単結晶シリコン5の成長とともに、各面方位のシリコン表面積を占める割合が変化するため、複数のトランジスターの特性制御が非常に困難となる。本実施例では、SiH₄C₂H₂とHClガス流量比を最適化することで、ファセット5-2, 5-3成長を無くした。

次いで、熱酸化法を用いて20nmのゲート酸化膜6を形成した。本実施例では、ゲート酸化膜6の形成に、ランプ加熱による短時間酸化法を用

いた。ゲート酸化膜は、シリコン5のコーナー部において薄くならないように、1100℃の高温で、乾燥酸素を用いて形成した。なお、減圧化学気相成長法を用いて形成したSiO₂膜をゲート絶縁膜6として用いても良好の結晶が得られた。

次に、ワード線7となるシリコン膜を、減圧化学気相成長法により、リンをドーピングしながら0.2μmの厚さに堆積した。この後、周知のリソグラフィおよびドライエッティング技術によりシリコン膜をパターンニングしてワード線7を形成した。なお、本実施例では、ワード線7の加工にマイクロ波励起型のプラズマエッティング装置を用い、シリコン基板1温度を-100℃に維持し、SF₆ガスを用いてエッティングした。その結果、段差側壁のシリコン膜を除去するために長時間のオーバエッティングを行つたが、下層のゲート酸化膜6の削れおよび、ワード線7のサイドエッティング量のいずれも無視できる程度であった。

次に、ソース・ドレインとなる領域に、イオン打込み法により、リンをドーピングした後、900

℃20分間N₂アニールを行い、拡散層8を形成した。

以上により、選択気相成長法を用いたアイソレーションを有するMOSトランジスタの形成を完了する。

本発明によれば、界面特性の悪い、素子分離絶縁膜2と選択成長した単結晶シリコン5との界面部分をMOSトランジスタの動作と無関係にすることができるので、MOSトランジスタの信頼性を向上できる。またアクティブ領域の側壁部も、トランジスタのチャネル部となるので、実効的なチャネル幅を長くすることができる。チャネルの相互コンダクタンスは、チャネル幅に比例して大きくなるのでトランジスタの動作速度を高速化できる。

次に、第4図を用いて、本発明の第2の実施例を説明する。

第1の実施例に示したように、P型、0.1Ω・cm(100)面のシリコン基板1に、熱酸化法を用いて、素子分離絶縁膜2となるSiO₂膜

を厚さ $0.7 \mu\text{m}$ 形成する。次いで、電子線リソグラフィおよびドライエッティング技術により素子分離絶縁膜 2 をパターンニングし、所望の領域にシリコン基板表面 4 を露出させる。本実施例においては、シリコン基板表面 4 の露出部の寸法を $0.2 \mu\text{m} \times 2 \mu\text{m}$ とした。

次いで、選択気相成長法を用いて、P型、 $10 \Omega \cdot \text{cm}$ の単結晶シリコン 5 をシリコン基板表面 4 の露出部より $0.7 \mu\text{m}$ 選択成長させ、第4図の(a)に示すように、アーティップ領域表面と素子分離領域表面が同じ高さになるよう形成した。

次いで、HF水溶液により、素子分離絶縁膜 2 を $0.2 \mu\text{m}$ エッチバックして、第4図(b)に示すような構造とする。次いで、選択気相成長法を用いて、素子分離絶縁膜 2 より上に出ているシリコン膜 5 をさらに $0.1 \mu\text{m}$ 成長させる。シリコン膜 5 は、上方向と横方向に等方的に成長した。

本実施例では、アーティップ領域の実効平面面積は、 $0.4 \mu\text{m} \times 2.2 \mu\text{m}$ となつた。

次いで、実施例1と同じ方法で、ゲート酸化膜

に速くすることが可能となる。なお、本実施例で作成したMOSトランジスタの実効チャネル幅は、平面部で $0.4 \mu\text{m}$ 、側壁部で $0.6 \mu\text{m}$ であつた。

次に、第5図を用いて、本発明の第3の実施例を説明する。

まず、実施例1と同じ方法で、P型、 $0.1 \Omega \cdot \text{cm}$ 、 $\{100\}$ 面のシリコン基板 1 上に、厚さ $0.4 \mu\text{m}$ の素子間分離絶縁膜 2、41P型、 $10 \Omega \cdot \text{cm}$ の単結晶シリコン膜 5 を $0.7 \mu\text{m}$ 形成する。

次いで、ランプ加熱による短時間酸化法を用いてゲート酸化膜 6 を 1.5nm 形成した後、減圧化学気相成長法により、リンをドーピングしたシリコン膜を $0.2 \mu\text{m}$ 、 SiO_2 膜を $0.3 \mu\text{m}$ 堆積する。次いで、周知のリソグラフィおよびドライエッティング技術を用いて SiO_2 膜、シリコン膜を加工してワード線 7、42を形成する。この後、イオン打込み法を用いて、拡散層 8、9を形成する。

6を 1.5nm 形成した後、減圧化学気相成長法を用いて、リンをドーピングしながらシリコン膜を $0.2 \mu\text{m}$ 堆積する。次に、第4図(c)のように、周知のリソグラフィー技術とドライエッティング技術を用いて上記シリコン膜をパターンニングしてワード線 7を形成した。本実施例においてもワード線 7のエッティングにはマイクロ波誘起型のプラズマエッティング装置を用い、シリコン基板 1 温度を -100°C に維持し、SF₆ガスによりエッティングした。

次に、ソース・ドレインとなる領域にイオン打込み法により、リンをドーピングする。本実施例においては、単結晶シリコン 5 の側壁部にもリンをドーピングするため、ウェーハを 30° に傾けてイオン打込みを行つた。最後に、 900°C 、20分間のN₂アーチ放電を行い拡散層 8を形成し、MOSトランジスタの形成を完了する。

本実施例によれば、素子寸法の微細化が進んでも実効チャネル幅を大きく確保することができる所以、トランジスタのスイッチング動作を飛躍的

次に減圧化学気相成長法を用いて SiO_2 膜を $0.3 \mu\text{m}$ 堆積した後、全面を異方性ドライエッティングでエッティングして、肩間絶縁膜 10を形成する。このとき、アーティップ領域の側壁 11にもサイドスペーサが自己結合で形成されるので、以降の加工の歩留りが向上する。

次いで、減圧化学気相成長法を用いてリンをドーピングしながらシリコン膜を $0.3 \mu\text{m}$ 堆積する。この後、周知のリソグラフィーおよびドライエッティング技術を用いて、シリコン膜をパターンニングして、電荷蓄積電極 12、43および導電帯層 13、45を形成する。

次いでキャパシタ絶縁膜 14を形成した後、減圧気相成長法を用いて、リンをドーピングしたシリコン膜を $0.2 \mu\text{m}$ 堆積し、周知のリソグラフィー及びドライエッティング技術を用いてパターンニングを行い、プレート電極 15を形成して、キャパシタの形成を完了する。

本実施例においては、キャパシタ絶縁膜 14を次のようにして形成した。

まず、850°C、1気圧のNH₃雰囲気中で20分間熱処理することにより蓄積電極13上に薄い熱酸化膜を形成する。その後、減圧化学気相成長法により約5nmの窒化シリコン膜を形成し、さらに900°Cにおけるステーム酸化法を用いて該シリコン膜表面に酸化シリコン膜を形成することにより、キヤバシタ絶縁膜14の形成を完了する。

容量測定から求めた、該キヤバシタ絶縁膜14の酸化膜厚換算の厚さは6nmであった。なお、上記窒化シリコン膜および酸化シリコン膜の厚さが種々に異なるもの、(最後の熱酸化を行なつていらないものも含む)、および、Ta₂O₅膜、Al₂O₃膜、あるいは、これらを含む複層膜についても良好の結果が得られた。さらに、ランプを用いて短時間に形成した熱酸化膜も信頼性に優れていた。

次に、化学気相成長法を用いて全面に層間絶縁膜16を形成した後、周知のリソグラフィー及びドライエッティング技術を用いて導電帯層13の一

部が露出するにうな、コンタクト孔17、44を形成する。最後に、データ線18、46を形成し、本発明の半導体装置を完了した。

本実施例によれば、アクティブ領域の段差が0.3μmあるため、実効的なキヤバシタ面積を大きくすることができ、十分な容量を確保することができた。

次に第6図を用いて、本発明の第4の実施例を説明する。

第2の実施例に示したように、P型、0.1Ω·cm、(100)面のシリコン基板1上に厚さ0.8μmの素子間分離絶縁膜2および、P型、1.0Ω·cmの単結晶シリコン5を基板表面より0.8μmの厚さに形成する。次いで、HF水溶液により、素子間分離絶縁膜2を0.5μmエッチバックして、0.5μmの段差を形成する。次いで、ランプ加熱による短時間酸化法を用いてゲート酸化膜6を15nm形成した後、減圧化学気相成長法により、リンをドーピングしながらシリコン膜を0.2μm次いでSiO₂膜を0.3μm

堆積する。この後、公知の技術を用いて、ワード線7、拡散膜8、9を形成する。

本実施例においては、ゲート酸化膜を形成する前に、ランプ加熱による短時間酸化法を用いて20nmの構造酸化膜の形成を行つた。これにより、アクティブ領域側壁部のダングリングボンドや微小欠陥を大幅に低減することができた。次いで、減圧化学気相成長法を用いて、SiO₂膜を0.3μm堆積した後、全面を異方性ドライエッティングすることにより、層間絶縁膜10を形成する。次いで、減圧化学気相成長法を用いて、SiO₂膜を30nm、堆積した後、リソグラフィ技術を用いて拡散層9のみが露出するようにバターンニングする。この後拡散層9上のSiO₂膜をHF水溶液を用いて除去し、拡散層9の表面を露出させる。

次いで、選択気相成長法を用いて、拡散層9より多結晶シリコン膜を0.3μm成長させる。この後、リン拡散法を用いて、該多結晶シリコンにリンをドーピングして蓄積電極12の形成を完了

する。

本実施例においては、蓄積電極12の形成法に、選択気相成長法を用いたが、減圧化学気相成長法を用いてシリコン膜を堆積した後、リソグラフィ及びドライエッティング技術を用いてバターンニングし、蓄積電極12を形成することも、もちろん可能である。なお、多結晶シリコンの選択気相成長には、SiH₂Cl₂とHCl、およびH₂を用い、成長温度を800°Cとした。

次いで、キヤバシタ絶縁膜14を、第3の実施例と同じ方法で形成した後、減圧気相成長法を用いてリンをドーピングしたシリコン膜を、0.3μm堆積し、公知の技術によりバターンニングを行い、プレート電極15を形成する。次いで、全面に層間絶縁膜16を堆積し、公知の技術を用いて、拡散層8の一部が露出するような、コンタクト接続孔17を形成する。最後にデータ線18を形成し、本発明の半導体装置の形成を完了した。

本発明によれば、アクティブ領域側壁部11にそつてキヤバシタを形成しているので、わずかな

平面面積で充分なキャパシタ容量を確保できる。従つて、セル面積を大幅に縮小することが可能となる。なお、本実施例では、1交点セル方式を用いたが2交点セル方式を用いても、むろん可能である。

〔発明の効果〕

以上述べたように、本発明によれば選択気相成長法によるアイソレーショントラジスタの欠点であつた、ソース・ドレイン間のリード電流を低減することができるので、トランジスタ特性が安定する。

また、トランジスタが立体構造であるので、LSIの集積度が大幅に向かし、トランジスタの動作速度も高速化する。

4. 図面の簡単な説明

第1図は本発明の第1の実施例を示す素子形成部の斜視図、第2図は従来構造を示す平面図および断面図、第3図は、本発明の第1の実施例を示す素子形成部の平面図および断面図、第4図は本発明の第2の実施例を示す素子形成部の断面図、

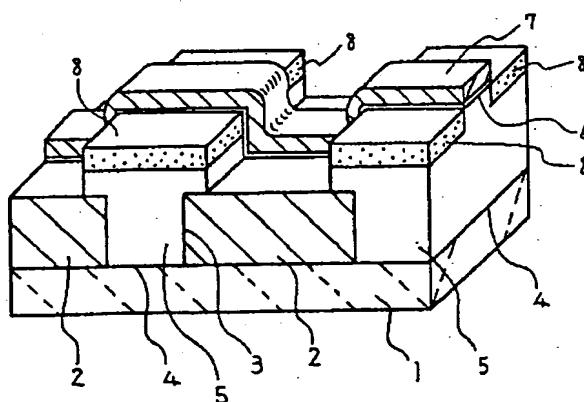
第5図は本発明の第3の実施例を示す素子形成部の平面図および断面図、第6図は本発明の第4の実施例を示す素子形成部の平面図および断面図である。

1…シリコン基板、2, 21, 41, 51…素子間分離絶縁膜、4…シリコン基板表面露出部、5, 23…選択成長シリコン膜、6…ゲート酸化膜、7, 22, 42, 52…ワード線、8, 9…拡散層、10, 16…層間絶縁膜、11…アクティブ領域隔壁部、12, 43…電荷蓄積電極、13, 45…導電帯層、14…キャパシタ絶縁膜、15…プレート電極、17, 44, 55…コンタクト孔、18, 46, 56…データ線。

代理人 弁理士 小川勝男

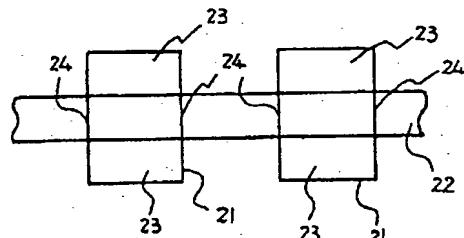


第1図

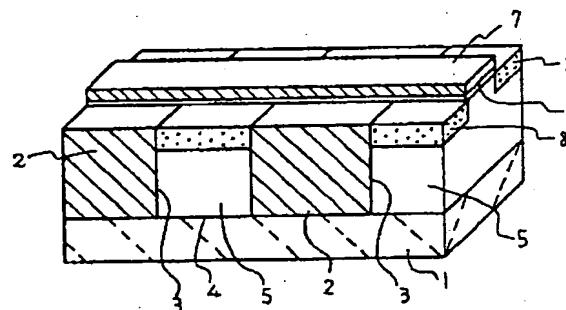


第2図

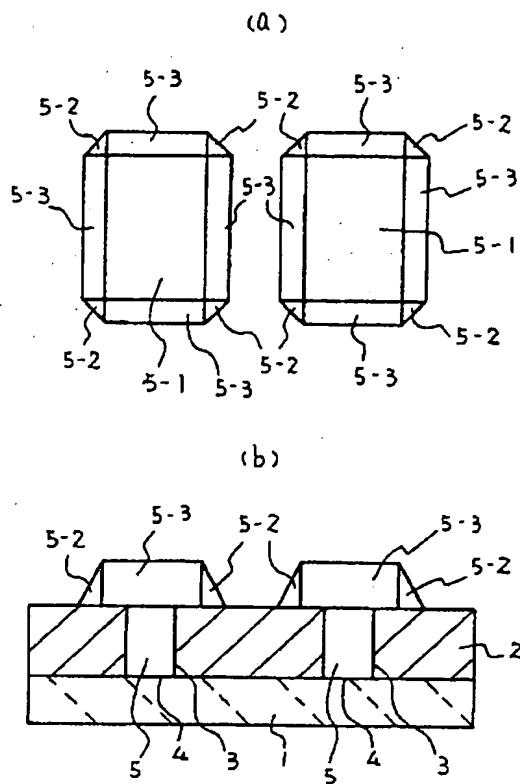
(a)



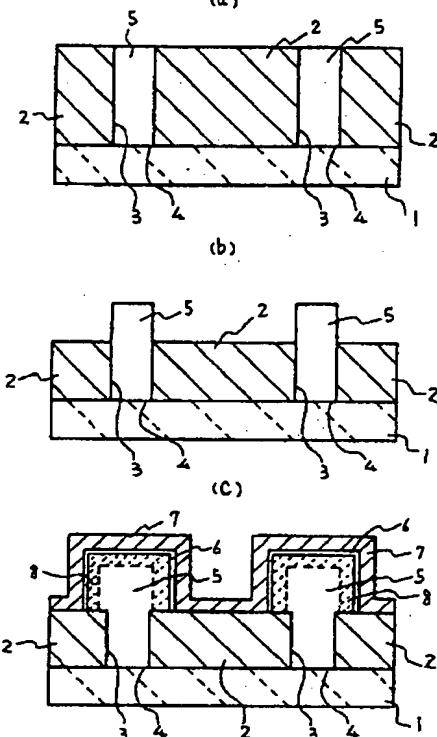
(b)



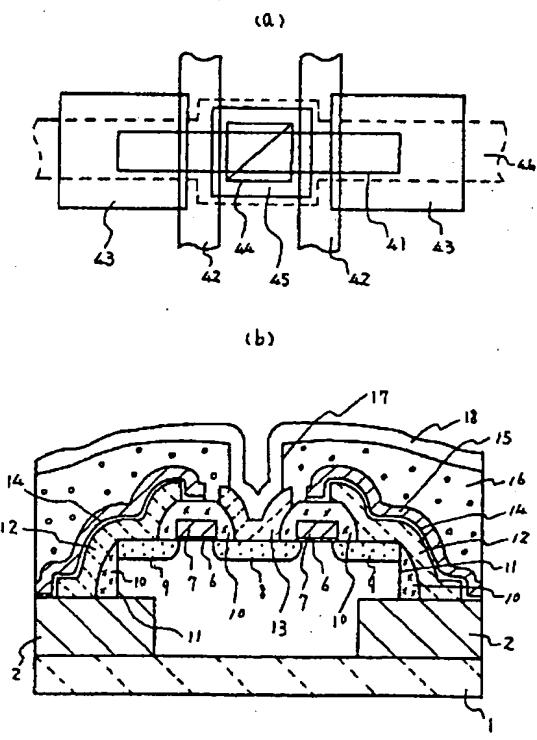
第 3 図



第 4 四



第 5 四



第 6 四

